

Operational Viability on NISQ Hardware: Pre-execution Analytical Modeling.

Nelson Garrido¹[0009-0009-2767-4228]; Alejandro Fernandez²[0000-0002-7968-6871]; Ricardo Perez Del Castillo³[0000-0002-9271-3184]

¹Universidad Abierta Interamericana, Facultad de Tecnología Informática,
Centro de Altos Estudios en Tecnología Informática, Buenos Aires, Argentina

²Universidad Nacional de La Plata, Facultad de Informática,

Laboratorio de Investigación y Formación en Informática Avanzada (LIFIA), Argentina

³Universidad de Castilla-La Mancha, Escuela Superior de Informática, Ciudad Real, España

nelsonariel.garrido@alumnos.uai.edu.ar

alejandro.fernandez@lifia.info.unlp.edu.ar

ricardo.pdelcastillo@uclm.es

Abstract. This work describes an analytical model conceived to analyze the operational success of algorithms on Noisy Intermediate-Scale Quantum (NISQ) processors through a probabilistic approach. Based on static calibration metrics, a diagnostic framework is proposed to estimate operational viability—understood as the probability of obtaining reliable and useful results—prior to the physical execution of the circuit. The model treats each operation as an independent stochastic process to quantify error accumulation from parameters such as single-qubit, entanglement, and readout errors. This article presents the progress of a research line oriented toward determining the feasibility of an algorithm for working on specific hardware. In doing so, it seeks to facilitate the systematic definition of acceptable success thresholds and optimize the use of computational resources in systems with low intrinsic fidelity.

Keywords: NISQ, Operational viability, Probabilistic model.

Viabilidad Operativa en Hardware NISQ: Modelado Analítico Pre-ejecución

Abstract. Este trabajo describe un modelo analítico pensado para analizar el éxito operativo de algoritmos en procesadores de escala intermedia ruidosa (NISQ) mediante un enfoque probabilístico. A partir de métricas estáticas de calibración, se propone un marco de diagnóstico para lograr una estimación de la viabilidad operativa —entendida como la probabilidad de obtener resultados confiables y útiles— antes de la ejecución física del circuito. El modelo trata cada

operación como un proceso estocástico independiente para cuantificar la acumulación de errores a partir de parámetros como errores de puerta de un solo cúbit, de entrelazamiento y de lectura. Este artículo presenta los avances de una línea de investigación orientada a determinar la factibilidad de un algoritmo para trabajar en un hardware específico. Con ello, se busca facilitar la definición sistemática de umbrales de éxito aceptables y optimizar el uso de recursos computacionales en sistemas de baja fidelidad intrínseca.

Keywords: NISQ, Viabilidad operativa, Modelo probabilístico.

1 Introducción

El panorama actual de la computación cuántica está definido por la era de los dispositivos de escala intermedia ruidosos o NISQ (Noisy Intermediate-Scale Quantum) (Preskill, 2018). A pesar de los avances significativos en el número de cúbits, estos sistemas presentan una sensibilidad crítica ante fenómenos de decoherencia y ruido cuántico (Tannu & Qureshi, 2018). La pérdida de integridad de los estados cuánticos se manifiesta a través de errores operacionales derivados de una calibración imperfecta (Lammers et al., 2024; Qi et al., 2023), fenómenos de diafonía o crosstalk —interferencia destructiva entre cúbits adyacentes— (Giortamis et al., 2025) y errores en el proceso de lectura (readout), los cuales afectan significativamente los resultados (Liu & Zhou, 2020). Si bien el uso de métodos de corrección de errores cuánticos ofrece una ruta hacia la tolerancia a fallos, su implementación práctica requiere una considerable redundancia de recursos físicos (Kim et al., 2023). Dada la capacidad de los dispositivos actuales el desarrollo de software cuántico en el corto y mediano plazo se enmarca necesariamente en dispositivos NISQ.

La reducida fidelidad de las arquitecturas NISQ y los costos operativos asociados a su ejecución sugieren la conveniencia de tener herramientas de diagnóstico que permitan estimar la viabilidad operativa del algoritmo antes de su procesamiento físico (Liu & Zhou, 2020). Este indicador, que pretende cuantificar la probabilidad de que el sistema preserve la integridad de la información y genere resultados interpretables, permitiría proyectar la viabilidad esperada mediante un contraste sistemático entre la estructura del circuito y las métricas de calibración reportadas por el procesador (Liu & Zhou, 2020). Bajo este enfoque, se facilitaría una evaluación de riesgo que permitiría optimizar la toma de decisiones sobre el diseño del algoritmo antes de comprometer recursos computacionales en hardware real.

Este trabajo presenta una línea de investigación centrada en un modelo analítico que trata cada operación del sistema como un proceso estocástico independiente. Mediante el uso de métricas estáticas de calibración del hardware, el modelo busca cuantificar la acumulación de errores en circuitos transpilados, ofreciendo una métrica de riesgo interpretable. El objetivo es investigar la factibilidad de desarrollar una herramienta para contrastar la estructura del circuito con las capacidades del hardware de destino.

2 Ruido y Fiabilidad en la Era NISQ

La fiabilidad en dispositivos NISQ está condicionada por un entorno de ruido multifactorial que integra errores de calibración en compuertas, fenómenos de diafonía (*crosstalk*) y fallos en la lectura. Los proveedores de hardware suministran *dashboards* con métricas de calibración actualizadas, entre las que destacan el SX error (median) para operaciones unarias, junto con el CZ error y el 2Q error (median) para cuantificar el error en compuertas de entrelazamiento. Asimismo, el 2Q error (layered) permite evaluar el rendimiento en procesos con alta densidad de operaciones paralelas. El uso de estos valores de referencia permite contrastar la estructura del circuito con las capacidades reales del hardware, facilitando la proyección de la viabilidad operativa de forma previa a su procesamiento físico.

Bajo este escenario, el presente trabajo propone conceptualizar la viabilidad operativa como un indicador integral que represente una tasa que estime que tan posible es que un sistema preserve la integridad de su información a lo largo de toda la secuencia de operaciones físicas (Liu & Zhou, 2020). Esta métrica permitiría reconocer que un circuito transpilado, al ejecutarse sobre una topología y un conjunto de compuertas nativas específicas, posee un margen de viabilidad condicionado por las limitaciones técnicas y el estado de calibración del dispositivo en un instante temporal determinado.

La idea de este enfoque es aproximar el grado de éxito operativo de forma previa a la ejecución real. Al contrastar el diseño del circuito con las métricas del hardware, el diagnóstico se convierte en una herramienta estratégica para identificar qué implementaciones lógicas, aun siendo funcionalmente equivalentes, ofrecen mayores garantías de éxito según el *backend* seleccionado.

3 Modelo de Estimación de Viabilidad Operativa

La implementación de este modelo se fundamenta en la integración de las métricas de calibración reportadas directamente por el hardware. El proceso consiste en vincular cada instrucción física del circuito transpilado con su parámetro de fidelidad correspondiente, según los reportes de rendimiento vigentes del procesador.

Bajo este criterio, se distingue entre operaciones físicas (que penalizan la fidelidad) y operaciones virtuales realizadas por software, las cuales poseen una fidelidad ideal. Esta lógica de asignación para los distintos tipos de compuertas y mediciones se detalla en la Tabla 1.

Table 1. Parámetros y valores de fidelidad extraídos del dashboard de calibración

Operación en el circuito	Origen del parámetro (Dashboard)	Valor de fidelidad
SX (Puerta de un cúbit)	SX error (median)	0.9997
RZ (Rotación virtual)	(Operación de software)	1.0000

CCNOT / CZ (Entrelazamiento)	2Q error (median / layered)	0.9920
Measure (Medición)	Readout error (median)	0.9750

La aplicación práctica de esta lógica se ejemplifica al analizar un circuito transpilado para las compuertas base del hardware (Figura 2). En este escenario, el diagnóstico requiere asignar con precisión la fidelidad correspondiente a cada instrucción física según su naturaleza. Por ejemplo, dado que la compuerta **SX** actúa como el bloque constructivo fundamental para las operaciones unarias, el modelo emplea el valor de *SX error (median)* para proyectar el impacto en cada rotación. Este criterio de vinculación se extiende sistemáticamente a todas las operaciones del diseño, asociando cada instrucción con su parámetro específico del reporte de calibración, tal como se detalla en la Tabla 1.

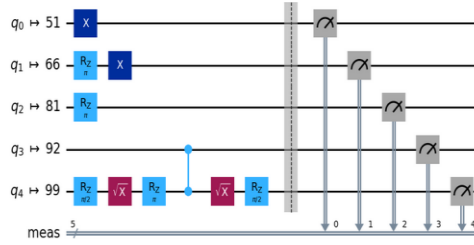


Fig. 1. Circuito transpilado por el hardware IBM Torino.

3.1 Formalización Matemática del Modelo

A partir de la caracterización de estas métricas, el modelo trata cada instrucción del circuito como un evento estocástico independiente. En este marco, la fidelidad individual (1) de cada operación se define como el complemento de su tasa de error.

$$f_i = 1 - p_i \quad (1)$$

Consecuentemente, la viabilidad operativa global (2) se aproxima mediante el producto de las probabilidades de éxito individuales de cada operación física identificada.

$$F_{\text{circuito}} = \prod_{i=1}^N f_i = \prod_{i=1}^N (1 - p_i) \quad (2)$$

Esto muestra un proceso de acumulación del error, coherente con la interpretación del circuito como una sucesión de ensayos probabilísticos. En este marco, el error total estimado del circuito puede expresarse como la formula (3).

$$E_{\text{circuito}} = 1 - F_{\text{circuito}} \quad (3)$$

4 **Discusión: Ventajas y Proyecciones de la Línea de Investigación**

La idea del modelo analítico propuesto reside en poder ofrecer un diagnóstico preventivo sin incurrir en el costo computacional de simulaciones ruidosas completas o ejecuciones experimentales fallidas. No obstante, es imperativo reconocer que este trabajo asume la independencia estadística entre los errores de las operaciones. Esto implica que se considera el ruido como un fenómeno local, predominantemente estocástico, con baja correlación temporal y espacial entre eventos, asumiendo una compatibilidad razonable entre la métrica publicada por el proveedor y la variable definida como fidelidad de operación.

En estas suposiciones radica la simplicidad del método. Si bien esta simplificación ignora efectos de correlaciones complejas propias de sistemas de gran escala, pretende funcionar como una aproximación de primer orden sumamente valiosa para traducir métricas técnicas en una expectativa de éxito tangible para el desarrollador.

La métrica busca permitir la optimización de recursos en la nube, permitiendo descartar o reconfigurar circuitos cuya viabilidad proyectada sea inferior a los umbrales de fidelidad requeridos. Asimismo, facilita la comparación objetiva entre diferentes estrategias de transpilación, permitiendo elegir la implementación que mejor se adapte al estado de calibración actual del dispositivo.

Referencias

- Giortamis, E., Romão, F., Tornow, N., & Bhatotia, P. (2025). *QOS: A Quantum Operating System*.
- Kim, Y., Eddins, A., Anand, S., Wei, K. X., van den Berg, E., Rosenblatt, S., Nayfeh, H., Wu, Y., Zaletel, M., Temme, K., & Kandala, A. (2023). Evidence for the utility of quantum computing before fault tolerance. *Nature*, 618(7965), 500–505. <https://doi.org/10.1038/s41586-023-06096-3>
- Liu, J., & Zhou, H. (2020). Reliability Modeling of NISQ- Era Quantum Computers. *2020 IEEE International Symposium on Workload Characterization (IISWC)*, 94–105. <https://doi.org/10.1109/IISWC50251.2020.00018>
- Preskill, J. (2018). *Quantum Computing in the NISQ era and beyond*. <https://doi.org/10.22331/q-2018-08-06-79>
- Tannu, S. S., & Qureshi, M. K. (2018). *A Case for Variability-Aware Policies for NISQ-Era Quantum Computers*.